

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-058785  
 (43)Date of publication of application : 25.02.2000

(51)Int.Cl.

H01L 27/108  
 H01L 21/8242  
 G11C 11/409  
 G11C 11/401

(21)Application number : 10-223502

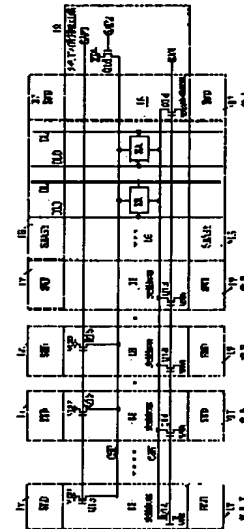
(71)Applicant : HITACHI LTD  
 HITACHI ULSI SYSTEMS CO LTD  
 (72)Inventor : SAKURAI KIYOTAKE  
 KITSUKAWA GORO

(54) DYNAMIC TYPE RAM

(57)Abstract:

PROBLEM TO BE SOLVED: To raise speed and reduce a chip area by distributing first and third power switch MOSFETs in an intersection region while a second power switch is allocated apart in an indirect peripheral circuit on both or single side outside a memory array.

SOLUTION: An N-channel type second power switch MOSFETQ 16 which supplies an internal high-voltage VDL to a common source line CSP is provided in a main word driver/array control circuit region 12. In an intersection region, an N-channel type first power switch MOSFETQ 15 which supplies an over-drive voltage VDD to the common source line CSP and an N-channel type third power switch MOSFETQ 14 which supplies a ground voltage for a circuit to a common source line CSN are provided. The MOSFETQ 16 for supplying an internal drop voltage VDL to the common source line CSP of a sense amplifier is shared, which is provided in a memory array circuit so that a wide gate width of the over-drive driving MOSFETQ 15 is provided.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

**THIS PAGE BLANK (USPTO)**



## 【特許請求の範囲】

【請求項1】 対応するワード線にゲートが接続され、対応する相補ビット線の一方に一方のソース、ドレインが接続されたアドレス選択MOSFETと、上記アドレス選択MOSFETの他方のソース、ドレインに蓄積ノードが接続され、他方に所定の電圧が与えられた記憶キャパシタとからなるダイナミック型メモリセルを備え、上記相補ビット線は、上記ダイナミック型メモリセルの入出力端子がその一方に接続された複数の相補ビット線対からなり、

上記ワード線の複数、上記相補ビット線対の複数及びこれらの交点に設けられた複数の上記ダイナミック型メモリセルによりサブアレイが構成されてなり、

上記サブアレイは、ワード線方向とビット線方向に複数の配列されてなり、

上記相補ビット線対に対応して設けられるセンスアンプを構成するCMOSラッチ回路の第1と第2の共通ソース線があり、

上記第1の共通ソース線に過渡的にオーバードライブ用の動作電圧を与える複数のからなる第1のパワースイッチMOSFETと、

上記第1の共通ソース線に最終的に与えられるべきハイレベルの信号に対応した動作電圧を供給する第2のパワースイッチMOSFETと、

上記第2の共通ソース線に回路の基準電位に対応した動作電圧を与える複数のからなる第3のパワースイッチMOSFETがあり、

上記第1と第3のパワースイッチMOSFETは、上記サブアレイ境界の交差領域に分散して配置し、

上記第2のパワースイッチMOSFETはサブアレイ群の外部に配置することを特徴とするダイナミック型RAM。

【請求項2】 請求項1において、

上記第2のパワースイッチMOSFETは、上記複数のCMOSラッチ回路に対して動作電圧を与える第1の共通ソース線の電位と、所定の電位を比較する電圧比較回路と、この比較回路の出力信号により制御されるゲート回路とを備え、上記第1の共通ソース線の電位が上記所定の電圧以下のときに上記ゲート回路を通して動作タイミング信号が上記パワースイッチMOSFETのゲートに伝えられるものであることを特徴とするダイナミック型RAM。

【請求項3】 請求項1ないし請求項2のいずれかにおいて、

上記ワード線は、メインワード線と上記メインワード線の延長方向に対して分割された長さとされ、かつ、上記メインワード線と交差するビット線方向に対して複数配置され、複数のからなるダイナミック型メモリセルのアドレス選択端子が接続されてなるサブワード線からなり、上記複数のサブワード線及び上記複数の相補ビット線対

及びこれらの交点に設けられた複数の上記ダイナミック型メモリセルによりサブアレイが構成され、上記複数のからなるサブワード線配列の両端側にサブワード線駆動回路が振り分けられて分割して配置され、上記複数のからなる相補ビット線対の両側にセンスアンプが振り分けられて分割して配置され、上記サブアレイの1つは、上記複数のサブワード線駆動回路列と上記複数のセンスアンプ列とにより囲まれるように形成されるものであることを特徴とするダイナミック型RAM。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、ダイナミック型RAM（ランダム・アクセス・メモリ）におけるセンスアンプの駆動技術に利用して有効な技術に関するものである。

【0002】

【従来の技術】 低消費電力化や素子の微細化に伴うMOSFETのゲート酸化膜の薄膜化による電界強度の問題を解消する等のために外部端子から供給された電源電圧を降圧して内部電圧として用いたダイナミック型RAMがある。このような低い内部電圧を上記ビット線の微小読み出し信号を増幅するセンスアンプの駆動に用いるとその動作速度が遅くなってしまう。そこで、増幅動作開始時の動作電圧を上記降圧電圧より高い電源電圧や昇圧電圧等を用いるようにしたオーバードライブ方式がある。

【0003】 上記のようなオーバードライブ方式においては、センスアンプ増幅動作開始時のみ過渡的に、上記高い電圧をセンスアンプ駆動線（第1の共通ソース線）に供給する第1パワースイッチMOSFETと、上記ビット線の目標レベルに対応する内部降圧電圧VDLを供給する第2のパワースイッチMOSFETと、さらにビット線のロウレベル（VSS）をセンスアンプ駆動線

（第2の共通ソース線）に供給する第3のパワースイッチMOSFETを必要とする。実際にこの方式を大規模メモリアレイに適用して高速動作を実現するには電源線やセンスアンプ駆動線抵抗の低減を図る必要がある。このオーバードライブ方式と、階層ワード線方式、階層IO線方式とを組み合わせた高速の64MビットDRAMを実現した公知文献としては、アイ・イー・イー・イー・ジャーナル オブ ソリッドステート サーキット 第31巻1996年9月、pp.1302-1307（IEEE Journal of Solid-State Circuits vol.31, September, 1996, pp.1302-1307）がある。

【0004】 上記論文においては、上記3つのパワースイッチMOSFETが64Mビットアレイ内の交差領域と呼ばれる領域に分散して配置される。交差領域とは、サブワードドライバ列とセンスアンプ列とが交差する領域である。この交差領域には、これら3つのパワースイ

ツチMOSFETに加えて、IO線のスイッチMOSFET、プリチャージ回路、センスアンプ列やサブワードドライバ列を制御するための各種ドライバ回路など多種の回路が、センスアンプ幅とサブワードドライバ幅から決まる狭い領域に配置される。

#### 【0005】

【発明が解決しようとする課題】したがって、記憶容量の増大や集積度を高くしようとする、上記のようなパワースイッチMOSFETに十分な駆動能力を与えるようにするために大きなゲート幅を割り当てることが困難になってきた。また、多数の信号線に加え、電源電圧VDDや内部降圧電圧VDL、回路の接地線VSSを配線幅を幅広くとることも困難となるものである。このために、記憶容量の増大や高集積化のために素子の微細化を推進するとき、もはや上記のようなオーバードライブ方式の高速性を発揮することが事実上困難になるものである。

【0006】この発明の目的は、高速化とチップ面積低減を両立したダイナミック型RAMを提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、複数のワード線、複数の相補ビット線対及びこれらの交点に設けられた複数の上記ダイナミック型メモリセルによりサブアレイが構成されてワード線方向に複数の配列されてなるダイナミック型RAMにおいて、上記サブアレイに対応したセンスアンプを構成する複数のCMOSラッチ回路に対してオーバードライブ用の動作電圧を与える複数の第1のパワースイッチMOSFETと、上記複数のサブアレイに対応した上記複数のCMOSラッチ回路に対して上記ビット線に与えられるべきハイレベルの信号に対応した動作電圧を供給する第2のパワースイッチMOSFET及び上記サブアレイに対応した複数のCMOSラッチ回路に対して回路の基準電位に対応した動作電圧を与える複数の第3のパワースイッチMOSFETとを設けるセンスアンプの駆動系において、上記第1と第3のパワースイッチMOSFETは交差領域に分散して配置し、第2のパワースイッチMOSFETはメモリアレイ外の両側又は片側の間接周辺回路に離して配置する。

【0008】オーバードライブ方式で駆動能力の必要な第1と第3のパワースイッチMOSFETは公知技術と同様に交差領域に分散して配置し、ドライバと負荷回路の近接配置による高速性を維持し、ビット線に最終的電位を与えるだけで駆動能力をそれほど必要としない第2のパワースイッチMOSFETをメモリアレイ外に置けば、交差領域のレイアウトを緩和でき、第1と第3のパ

ワースイッチMOSFETに十分なゲート幅や電源配線幅を割り当てることができる。

#### 【0009】

【発明の実施の形態】図1には、この発明が適用されるダイナミック型RAMの一実施例の概略レイアウト図が示されている。同図においては、この発明が適用されるダイナミック型RAMを構成する各回路ブロックのうち、その主要部が判るように示されており、それが公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上において形成される。

【0010】この実施例では、特に制限されないが、メモリアレイは、全体として4個に分けられる。半導体チップの長手方向に対して左右に分けられて、中央部分14にアドレス入力回路、データ入出力回路及びボンディングパッド列からなる入出力インターフェイス回路及び昇圧回路や降圧回路を含む電源回路等が設けられる。これら中央部分14の両側のメモリアレイに接する部分には、カラムデコード領域13が配置される。

【0011】上述のように半導体チップの長手方向に対して左右に2個、上下に2個ずつに分けられた4個からなる各メモリアレイにおいて、長手方向に対して上下中央部にメインロウデコード領域（メモリアレイ制御回路）11が設けられる。このメインロウデコードの上下には、メインワードドライバ領域12が形成されて、上記上下に分けられたメモリアレイのメインワード線を駆動する駆動回路が設けられること他、後述するようなサブワード選択線やセンスアンプを駆動するメモリアレイ制御回路が設けられる。

【0012】上記メモリセルアレイ（以下、サブアレイと称する）15は、その拡大図に示すように、センスアンプ領域16、サブワードドライバ領域17に囲まれて形成される。上記センスアンプ領域16と、上記サブワードドライバ領域17の交差部は、交差領域（クロスエリア）18とされる。上記センスアンプ領域16に設けられるセンスアンプは、シェアードセンス方式により構成され、上記メモリアレイの両端部に配置されるサブアレイに対応したものを除いて、センスアンプを中心にして左右に相補ビット線が設けられ、左右いずれかのサブアレイ15の相補ビット線に選択的に接続される。

【0013】上述のように半導体チップの長手方向に対して左右に4個ずつに分けられたメモリアレイは、2個ずつ組となって配置される。このように2個ずつ組となって配置された2つのメモリアレイは、その中央部分に上記メインロウデコード領域11とメインワードドライバ12が配置される。メインワードドライバ12は、上記1つのメモリアレイを貫通するように延長されるメインワード線の選択信号を形成する。上記メインワードドライバ領域12にサブワード選択用のサブワード選択線のドライバも設けられ、後述するように上記メインワード線と平行に延長されてサブワード選択線の選択信号を

形成する。そして、センスアンプを駆動する後述するスイッチMOSFETも設けられる。

【0014】拡大図として示された1つのメモリアレイ(サブアレイ)15は、特に制限されないが、サブワード線が256本と、それと直交する相補ビット線(又はデータ線)が256対とされる。上記1つのメモリアレイにおいて、上記サブアレイ15がビット線方向に16個設けられるからサブワード線が約4K分設けられ、ワード線方向に16個設けられるから相補ビット線が約4K分設けられる。このようなメモリアレイがメモリチップ10の全体で4個設けられるから、メモリチップ10の全体での記憶容量は、 $4 \times 4K \times 4K = 64M$ ビットのようにされる。

【0015】上記1つのメモリアレイは、メインワード線方向に対して16個に分割される。かかる分割されたサブアレイ15毎にサブワードドライバ(サブワード線駆動回路)17が設けられる。サブワードドライバ17は、メインワード線に対して1/16の長さ分割され、それと平行に延長されるサブワード線の選択信号を形成する。この実施例では、メインワード線の数減らすために、言い換えるならば、メインワード線の配線ピッチを緩やかにするために、特に制限されないが、1つのメインワード線に対して、相補ビット線方向に8本からなるサブワード線を配置させる。このようにメインワード線方向には8本に分割され、及び相補ビット線方向に対して8本ずつが割り当てられたサブワード線の中から1本のサブワード線を選択するために、サブワード選択ドライバが配置される。このサブワード選択ドライバは、上記サブワードドライバの配列方向に延長される8本のサブワード選択線の中から1つを選択する選択信号を形成する。

【0016】図2には、この発明に係るダイナミック型RAMにおけるサブアレイとその周辺回路の一実施例の概略レイアウト図が示されている。同図には、図1に示されたメモリアレイの中の4つのサブアレイSBARYが代表として示されている。図2においては、サブアレイSBARYが形成される領域には斜線を付すことによって、その周辺に設けられサブワードドライバ領域、センスアンプ領域及びクロスエリア(交差領域)とを区別するものである。

【0017】サブアレイSBARYは、次のような4種類に分けられる。つまり、ワード線の延長方向を水平方向とすると、同図の右下に配置される第1のサブアレイSBARYは、サブワード線SWLが256本配置され、相補ビット線対は256対から構成される。それ故、上記256本のサブワード線SWLに対応した256個のサブワードドライバSWDは、かかるサブアレイの左右に128個ずつに分割して配置される。上記256対の相補ビット線BLに対応して設けられる256個のセンスアンプSAは、前記のようなシェアードセンス

アンプ方式に加えて、さらに交互配置とし、かかるサブアレイの上下において128個ずつに分割して配置される。

【0018】同図の右上配置される第2のサブアレイSBARYは、特に制限されないが、正規のサブワード線SWLが256本に加えて8本の予備(冗長)ワード線が設けられ、相補ビット線対は256対から構成される。それ故、上記256+8本のサブワード線SWLに対応した264個のサブワードドライバSWDは、かかるサブアレイの左右に132個ずつに分割して配置される。センスアンプは、上記同様に128個ずつが上下に配置される。すなわち、上記右側の上下に配置されるサブアレイSBARYに形成される256対のうちの128対の相補ビット線は、それに挟まれたセンスアンプSAに対してシェアードスイッチMOSFETを介して共通に接続される。

【0019】同図の左下配置される第3のサブアレイSBARYは、右隣接のサブアレイSBARYと同様にサブワード線SWLが256本により構成される。上記同様に128個のサブワードドライバが分割して配置される。上記下側左右に配置されたサブアレイSBARYの256本のうちの128本のサブワード線SWLは、それに挟まれた領域に形成された128個のサブワードドライバSWDに対して共通に接続される。上記のように左下配置されるサブアレイSBARYは、256対からなる正規の相補ビット線BLに加えて、4対の予備(冗長)ビット線4REDが設けられる。それ故、上記260対からなる相補ビット線BLに対応した260個のセンスアンプSAは、かかるサブアレイの上下に130個ずつに分割して配置される。

【0020】同図の左上配置される第4のサブアレイSBARYは、右隣接のサブアレイSBARYと同様に正規のサブワード線SWLが256本に予備サブワード線が8本設けられ、下隣接のサブアレイと同様に正規の相補ビット線対の256対に加えて、予備のビット線が4対設けられるので、サブワードドライバは、左右に132個ずつ分割して配置され、センスアンプSAは上下に130個ずつが分割して配置される。

【0021】メインワード線MWLは、その1つが代表として例示的に示されているように前記のような水平方向に延長される。また、カラム選択線YSは、その1つが代表として例示されるように縦方向に延長される。上記メインワード線MWLと平行にサブワード線SWLが配置され、上記カラム選択線YSと平行に相補ビット線BL(図示せず)が配置されるものである。この実施例では、特に制限されないが、上記4つのサブアレイを基本単位の1組として、図1のように16MビットのDRAMでは、ビット線方向には8組のサブアレイが形成され、ワード線方向には8組のサブアレイが構成される。1つの組が4個のサブアレイで構成されるから、上記1

6Mビットのメモリアレイでは、 $8 \times 8 \times 4 = 256$ 個のサブアレイが設けられる。上記256個のサブアレイを持つメモリアレイがチップ全体では4個設けられるから、メモリチップ全体では $256 \times 4 = 1024$ 個ものサブアレイが形成されるものである。

【0022】上記4個からなるサブアレイに対して、8本のサブワード選択線FX0B～FX7Bが、メインワード線MWLと同様に8組（16個）のサブアレイを貫通するように延長される。そして、サブワード選択線FX0B～FX3Bからなる4本と、FX4B～FX7Bからなる4本とが上下のサブアレイ上に分けて延長させるようにする。このように2つのサブアレイに対して1組のサブワード選択線FX0B～FX7Bを割り当て、かつ、それらをサブアレイ上を延長させるようにする理由は、メモリチップサイズの小型化を図るためである。

【0023】つまり、各サブアレイに対して上記8本のサブワード選択線FX0B～FX7Bを割り当て、しかもそれをセンスアンプエリア上の配線チャンネルに形成した場合、図1のメモリアレイのように短辺方向の32個ものセンスアンプで、 $8 \times 32 = 256$ 本分の配線チャンネルが必要になるものである。これに対して、上記の実施例では、配線そのものが上下2つのサブアレイに対して上記8本のサブワード選択線FX0B～FX7Bを共通に割り当て、しかも、それをサブアレイ上をメインワード線と平行に互いに混在させるように配置させることにより、格別な配線専用領域を設けることなく形成することができる。

【0024】上記サブアレイ上には、8本のサブワード線に対して1本のメインワード線が設けられるものであり、その8本の中の1本のサブワード線を選択するためにサブワード選択線FX0B～FX7Bが必要になるものである。メモリセルのピッチに合わせて形成されるサブワード線SWLの8本分に1本の割り合いでメインワード線MWLが形成されるものであるために、メインワード線MWLの配線ピッチは緩やかになっている。したがって、メインワード線MWLと同じ配線層を利用して、上記サブワード選択線をメインワード線の間に形成することは配線ピッチの緩やかさを少し犠牲にするだけで比較的容易にできるものである。

【0025】この実施例のサブワードドライバSWDは、上記サブワード選択線FX0B等を通して供給される選択信号と、それを反転させた選択信号とを用いて1つのサブワード線SWLを選択する構成を採る。そして、サブワードドライバSWDは、それを中心として左右に配置されるサブアレイのサブワード線SWLを同時に選択するような構成を採るものである。そのため、上記のようにFX0B等を共有する2つのサブアレイに対しては、 $128 \times 2 = 256$ 個ものサブワードドライバに対して、上記4本のサブワード選択線を割り振って供給する。つまり、サブワード選択線FX0Bに着目する

と、2つのサブアレイに対して $256 \div 4 = 64$ 個ものサブワードドライバSWDに選択信号を供給する必要がある。

【0026】上記メインワード線MWLと平行に延長されるものを第1のサブワード選択線FX0Bとすると、左上部のクロスエリアに設けられ、上記第1のサブワード選択線FX0Bからの選択信号を受けるサブワード選択線駆動回路FXDを介して、上記上下に配列される64個のサブワードドライバに選択信号を供給する第2のサブワード選択線FX0が設けられる。上記第1のサブワード選択線FX0Bは上記メインワード線MWL及びサブワード線SWLと平行に延長されるのに対して上記第2のサブワード選択線は、それと直交するカラム選択線YS及び相補ビット線BLと平行にサブワードドライバ領域上を延長される。上記8本の第1のサブワード選択線FX0B～FX7Bと同様に、上記第2のサブワード選択線FX0～FX7も、偶数FX0、2、4、6と、奇数FX1、3、5、7とに分割されてサブアレイSBARYの左右に設けられたサブワードドライバSWDに振り分けられて配置される。

【0027】上記サブワード選択線駆動回路FXDは、同図において■で示したように、1つのクロスエリアの上下に2個ずつ分配して配置される。つまり、上記のように左上部のクロスエリアでは、下側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線FX0Bに対応され、左中間部のクロスエリアに設けられた2つのサブワード選択線駆動回路FXDが、第1のサブワード選択線FX2Bと、FX4Bに対応され、左下部のクロスエリアの上側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線FX6Bに対応される。

【0028】中央上部のクロスエリアでは、下側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線FX1Bに対応され、中央中間部のクロスエリアに設けられた2つのサブワード選択線駆動回路FXDが、第1のサブワード選択線FX3Bと、FX5Bに対応され、中央下部のクロスエリアの上側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線FX7Bに対応される。そして、右上部のクロスエリアでは、下側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線FX0Bに対応され、右中間部のクロスエリアに設けられた2つのサブワード選択線駆動回路FXDが、第1のサブワード選択線FX2Bと、FX4Bに対応され、右下部のクロスエリアの上側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線FX6Bに対応される。このようにメモリアレイの端部に設けられたサブワードドライバでは、その右側にはサブアレイが存在しないから、左側だけのサブワード線SWLのみを駆動する。

【0029】この実施例のようにサブアレイ上のメイン

ワード線MWLのピッチの隙間にサブワード選択線FXBを配置する構成では、格別な配線チャンネルが不要にできるから、1つのサブアレイに8本のサブワード選択線を配置するようにしてもメモリチップが大きくなることはない。しかしながら、上記のようなサブワード選択線駆動回路FXDを形成するためにクロス領域の面積が増大し、高集積化を妨げることとなる。つまり、上記クロスエリアには、同図において点線で示したようなメイン入出力線MIOやローカル入出力線LIOに対応して設けられるスイッチ回路IOSWや、センスアンプを駆動するパワーMOSFET、シェアードスイッチMOSFETを駆動するための駆動回路、プリチャージMOSFETを駆動する駆動回路等の周辺回路を形成する必要があるために、その素子数は少なくする必要がある。図2の実施例では、上/下の2つのサブアレイでサブワード選択線駆動回路FXDを共用して面積増加を抑えている。

【0030】上記クロスエリアのうち、偶数に対応した第2のサブワード選択線FX0～FX6の延長方向Aに配置されたものには、後述するようにセンスアンプに対してオーバードライブ用の電源電圧VDDを供給するNチャンネル型のパワーMOSFETQ16、及びセンスアンプに対して回路の接地電位VSSを供給するためのNチャンネル型のパワーMOSFETQ14が設けられ、センスアンプに対してビット線のハイレベルに対応した内部降圧電圧VDLを供給するNチャンネル型のパワーMOSFETは、前記のメインワードドライバ領域（メモリアレイ制御回路）に共通化したものを1個だけにして、オーバードライブ方式を採用しつつ、クロスエリアに形成されるオーバードライブに必要なハイレベル側のパワースイッチMOSFETの数を半減させるものである。

【0031】上記クロスエリアのうち、奇数に対応した第2のサブワード選択線FX1～FX7の延長方向Bに配置されたものには、IOスイッチ（ローカルIO（LIO）とメインIO（MIO）間のスイッチMOSFET）と、ビット線のプリチャージ及びイコライズ用MOSFETをオフ状態にさせるインバータ回路と、特に制限されないが、センスアンプに対して回路の接地電位VSSを供給するためのNチャンネル型のパワーMOSFETとが設けられる。このNチャンネル型のパワーMOSFETは、センスアンプ列の両側からセンスアンプを構成するNチャンネル型MOSFETの増幅MOSFETの共通ソース線（CSN）に接地電位を供給するものである。つまり、センスアンプエリアに設けられる128個又は130個のセンスアンプに対しては、上記A側のクロスエリアに設けられたNチャンネル型のパワーMOSFETと、上記B側のクロスエリアに設けられたNチャンネル型のパワーMOSFETの両方により接地電位が供給される。

【0032】上記のようにサブワード線駆動回路SWDは、それを中心にして左右両側のサブアレイのサブワード線を選択する。これに対して、上記選択された2つのサブアレイのサブワード線に対応して左右2つのセンスアンプが活性化される。つまり、サブワード線を選択状態にすると、アドレス選択MOSFETがオン状態となり、記憶キャパシタの電荷がビット線電荷と合成されてしまうので、センスアンプを活性化させてもとの電荷の状態に戻すという再書き込み動作を行う必要があるからである。このため、上記端部のサブアレイに対応したものを除いて、上記パワーMOSFETは、それを挟んで両側のセンスアンプを活性化させるために用いられる。これに対して、サブアレイ群の端に設けられたサブアレイの右側又は左側に設けられたサブワード線駆動回路SWDでは、上記サブアレイのサブワード線しか選択しないから、上記パワーMOSFETは、上記サブアレイに対応した片側のセンスアンプ群のみを活性化するものである。

【0033】上記センスアンプは、シェアードセンス方式とされ、それを挟んで両側に配置されるサブアレイのうち、上記サブワード線が非選択された側の相補ビット線に対応したシェアードスイッチMOSFETがオフ状態にされて切り離されることにより、上記選択されたサブワード線に対応した相補ビット線の読み出し信号を増幅し、メモリセルの記憶キャパシタをもとの電荷状態に戻すという再書き込み動作を行う。この場合、上記オーバードライブ用のMOSFETにより増幅開始時には、電源電圧VDDのような高い電圧が供給されるので、ハイレベルにされるべきビット線の変化を高速にでき、ビット線の電位がVDLに到達すると上記共通化されたパワースイッチMOSFETによりVDLが与えられる。

【0034】図3には、この発明に係るダイナミック型RAMのセンスアンプ部を中心にして、アドレス入力からデータ出力までの簡略化された一実施例の回路図が示されている。同図においては、2つのサブアレイ15に上下から挟まれるようにされたセンスアンプ16と前記交差エリア18に設けられる回路が例示的に示され、他はブロック図として示されている。また、点線で示された回路ブロックは、前記符号によりそれぞれが示されている。

【0035】ダイナミック型メモリセルは、上記1つのサブアレイ15に設けられたサブワード線SWLと、相補ビット線BL、BLBのうち一方のビット線BLとの間に設けられた1つが代表として例示的に示されている。ダイナミック型メモリセルは、アドレス選択MOSFETQmと記憶キャパシタCsから構成される。アドレス選択MOSFETQmのゲートは、サブワード線SWLに接続され、このMOSFETQmのドレインがビット線BLに接続され、ソースに記憶キャパシタCsが接続される。記憶キャパシタCsの他方の電極は共通化



されてプレート電圧 $V_{PLT}$ が与えられる。上記MOSFET $Q_m$ の基板(チャンネル)には負のバックバイアス電圧 $V_{BB}$ が印加される。特に制限されないが、後述するような理由によって、上記バックバイアス電圧 $V_{BB}$ は、 $-1V$ のような電圧に設定される。上記サブワード線 $SWL$ の選択レベルは、上記ビット線のハイレベルに対して上記アドレス選択MOSFET $Q_m$ のしきい値電圧分だけ高くされた高電圧 $V_{PP}$ とされる。

【0036】センスアンプを内部降圧電圧 $V_{DL}$ で動作させるようにした場合、センスアンプにより増幅されてビット線に与えられるハイレベルは、上記内部電圧 $V_{DL}$ レベルにされる。したがって、上記ワード線の選択レベルに対応した高電圧 $V_{PP}$ は $V_{DL} + V_{th} + \alpha$ にされる。センスアンプの上側に設けられたサブアレイの一对の相補ビット線 $BL$ と $BLB$ は、同図に示すように平行に配置される。かかる相補ビット線 $BL$ と $BLB$ は、シェアードスイッチMOSFET $Q_1$ と $Q_2$ によりセンスアンプの単位回路の入出力ノードと接続される。

【0037】センスアンプの単位回路は、ゲートとドレインとが交差接続されてラッチ形態にされたNチャンネル型の増幅MOSFET $Q_5$ 、 $Q_6$ 及びPチャンネル型の増幅MOSFET $Q_7$ 、 $Q_8$ からなるCMOSラッチ回路で構成される。Nチャンネル型MOSFET $Q_5$ と $Q_6$ のソースは、共通ソース線 $CSN$ に接続される。Pチャンネル型MOSFET $Q_7$ と $Q_8$ のソースは、共通ソース線 $CSP$ に接続される。上記共通ソース線 $CSN$ と $CSP$ には、それぞれパワースイッチMOSFETが接続される。特に制限されないが、Nチャンネル型の増幅MOSFET $Q_5$ と $Q_6$ のソースが接続された共通ソース線 $CSN$ には、上記クロスエリア18に設けられたNチャンネル型のパワースイッチMOSFET $Q_{14}$ により接地電位に対応した動作電圧が与えられる。

【0038】本発明では、上記Pチャンネル型の増幅MOSFET $Q_7$ と $Q_8$ のソースが接続された共通ソース線 $CSP$ には、上記クロスエリア18に設けられたオーバードライブ用のNチャンネル型のパワーMOSFET $Q_{16}$ と、上記メインワードドライバ領域12に隣接するメモリアレイ制御回路内に設けられ、上記内部電圧 $V_{DL}$ を供給するNチャンネル型のパワーMOSFET $Q_{15}$ が分離して設けられる。上記オーバードライブ用の電圧には、特に制限されないが、外部端子から供給される電源電圧 $V_{DD}$ が用いられる。あるいは、センスアンプ動作速度の電源電圧 $V_{DD}$ 依存性を軽減するために、ゲートに $V_{PP}$ が印加され、ドレインに電源電圧 $V_{DD}$ が供給されたNチャンネル型MOSFETのソースから上記電圧を得るものとしてわずかに降圧してもよい。

【0039】上記Nチャンネル型のパワーMOSFET $Q_{16}$ のゲートに供給されるセンスアンプオーバードライブ用活性化信号 $SAP_1$ は、上記Nチャンネル型MO

SFET $Q_{15}$ のゲートに供給される活性化信号 $SAP_2$ と同相の信号とされ、 $SAP_1$ と $SAP_2$ は時系列的にハイレベルにされる。特に制限されないが、 $SAP_1$ と $SAP_2$ のハイレベルは昇圧電圧 $V_{PP}$ レベルの信号とされる。つまり、電源電圧 $V_{DD}=3.3V$ に対し、昇圧電圧 $V_{PP}$ は、約 $3.8V$ であるので、上記Nチャンネル型MOSFET $Q_{15}$ 、 $Q_{16}$ を十分にオン状態にさせることができる。MOSFET $Q_{16}$ がオフ状態(信号 $SAP_1$ がロウレベル)の後にはMOSFET $Q_{15}$ のオン状態(信号 $SAP_2$ がハイレベル)によりソース側から内部電圧 $V_{DL}$ に対応した電圧を出力させることができる。この時、共通ソース線 $CSP$ は既に十分高い電位であるので、MOSFET $Q_{15}$ による上記内部電圧 $V_{DL}$ の供給は、それほど駆動能力を必要としない。したがって、上記MOSFET $Q_{15}$ をメモリアレイ外の領域12に置いても問題ない。

【0040】上記センスアンプの単位回路の入出力ノードには、相補ビット線を短絡させるイコライズMOSFET $Q_{11}$ と、相補ビット線にプリチャージ電圧 $V_{BLR}$ を供給するスイッチMOSFET $Q_9$ と $Q_{10}$ からなるプリチャージ(イコライズ)回路が設けられる。これらのMOSFET $Q_9 \sim Q_{11}$ のゲートは、共通にプリチャージ信号 $PCB$ が供給される。このプリチャージ信号 $PCB$ を形成するドライバ回路は、図示しないが、上記クロスエリアにインバータ回路を設けて、その立ち上がりや立ち下がり的高速にする。つまり、メモリアクセスの開始時にワード線選択タイミングに先行して、各クロスエリアに分散して設けられたインバータ回路を通して上記プリチャージ回路を構成するMOSFET $Q_9 \sim Q_{11}$ を高速に切り替えるようにするものである。

【0041】上記クロスエリア18には、 $I_{OSW}$ (ローカルIOとメインIOを接続するスイッチMOSFET $Q_{19}$ 、 $Q_{20}$ )が置かれる。さらに、図3に示した回路以外にも、必要に応じて、センスアンプのコモンソース線 $CSP$ と $CSN$ のハーフプリチャージ回路、ローカル入出力線 $LIO$ のハーフプリチャージ回路、メインIOの $V_{DL}$ プリチャージ回路、シェアード選択信号線 $SHR$ と $SHL$ の分散ドライバ回路等も設けられる。

【0042】センスアンプの単位回路は、シェアードスイッチMOSFET $Q_3$ と $Q_4$ を介して図下側のサブアレイ15の同様な相補ビット線 $BL$ 、 $BLB$ に接続される。例えば、上側のサブアレイのサブワード線 $SWL$ が選択されたときには、センスアンプの上側シェアードスイッチMOSFET $Q_1$ と $Q_2$ はオン状態に、下側シェアードスイッチMOSFET $Q_3$ と $Q_4$ とがオフ状態にされる。スイッチMOSFET $Q_{12}$ と $Q_{13}$ は、カラムスイッチ回路を構成するものであり、上記選択信号 $YS$ が選択レベル(ハイレベル)にされるとオン状態となり、上記センスアンプの単位回路の入出力ノードとローカル入出力線 $LIO_1$ と $LIO_1B$ 、 $LIO_2$ 、 $LIO$

2B等とを接続させる。また、センスアンプSAは、図示のようにオルタネート配置をとり、2ビット線対の幅の中に1個のセンスアンプが配置され、微細メモリセルにも対応できる。

【0043】これにより、センスアンプの入出力ノードは、上記上側の相補ビット線BL、BLBに接続されて、選択されたサブワード線SWLに接続されたメモリセルの微小信号を増幅し、上記カラムスイッチ回路(Q12とQ13)を通してローカル入出力線LIO1、LIO1Bに伝える。上記ローカル入出力線LIO1、LIO1Bは、上記センスアンプ列に沿って、つまり、同図では横方向に延長される。上記ローカル入出力線LIO1、LIO1Bは、クロスエリア18に設けられたNチャンネル型MOSFETQ19とQ20からなるIOスイッチ回路を介してメインアンプ61の入力端子が接続されるメイン入出力線MIO、MIOBに接続される。なお、上記IOスイッチ回路は、上記Nチャンネル型MOSFETQ19とQ20のそれぞれにPチャンネル型MOSFETを並列に接続したCMOSスイッチとしてもよい。

【0044】特に制限されないが、上記カラムスイッチ回路は、1つの選択信号YSにより二対の相補ビット線BL、BLBと二対のローカル入出力線LIO1、LIO1BとLIO2、LIO2Bとを接続させる。それ故、1つのメインワード線の選択動作により選択されたサブアレイにおいて、その両側に設けられるセンスアンプに対応して設けられる上記二対のカラムスイッチ回路により合計四対の相補ビット線が選択されることになる。シンクロナスDRAMのバーストモードでは、上記カラム選択信号YSがカウンタ動作により切り換えられ、上記ローカル入出力線LIO1、LIO1Bとサブアレイの相補ビット線BL、BLBとの接続が順次に切り換えられる。

【0045】アドレス信号Aiは、アドレスバッファ51に供給される。このアドレスバッファは、時分割的に動作してXアドレス信号とYアドレス信号を取り込む。Xアドレス信号は、プリデコーダ52に供給され、メインローデコーダ11とメインワードドライバ12を介してメインワード線MWLの選択信号が形成される。上記アドレスバッファ51は、外部端子から供給されるアドレス信号Aiを受けるものであるため、外部端子から供給される電源電圧VDDにより動作させられ、上記プリデコーダは、降圧電圧VPERIにより動作させられ、上記メインワードドライバ12は、昇圧電圧VPPにより動作させられる。カラムデコーダ(ドライバ)53は、上記アドレスバッファ51の時分割的な動作によって供給されるYアドレス信号を受けて、上記選択信号YSを形成する。

【0046】上記メインアンプ61は、降圧電圧VPERIにより動作させられ、外部端子から供給される電源

電圧VDDで動作させられる出力バッファ62を通して外部端子Doutから出力される。外部端子Dinから入力される書き込み信号は、入力バッファ63を通して取り込まれ、同図においてメインアンプ61に含まれる後述するようなライトアンプを通して上記メイン入出力線MIOとMIOBに書き込み信号を供給する。上記出力バッファの入力部には、レベルシフト回路とその出力信号を外部クロック信号に対応したタイミング信号に同期させて出力させるための論理部が設けられる。

【0047】特に制限されないが、上記外部端子から供給される電源電圧VDDは、3.3Vにされ、内部回路に供給される降圧電圧VPERIは2.5Vに設定され、上記センスアンプの動作電圧VDLは2.0Vとされる。そして、ワード線を選択信号(昇圧電圧)は、3.8Vにされる。ビット線のプリチャージ電圧VBLRは、VDL/2に対応した1.0Vにされ、プレート電圧VPLTも1.0Vにされる。そして、基板電圧VBBは-1.0Vにされる。

【0048】図4には、この発明に係るダイナミック型RAMのセンスアンプに動作電圧を与える共通ソース線CSP、CSNと、データの入出力を行う入出力線MIOの構成図が示されている。この実施例は、前記のようにメモリアレイが4個に分割されたメモリチップのうち、1つのメモリアレイのワード線方向に分割されたメモリマットの構成が拡大して示されている。

【0049】1つのメモリアレイでは、図示のように16個のサブアレイが並べられ、サブアレイの両側にはサブワードドライバ17が設けられる。このサブワードドライバ17は、チップ中央部から#1から#17まで17個設けられる。この17個のサブワードドライバ領域のうち、偶数番目のサブワードドライバ領域#2～#16に、2対ずつのメイン入出力線MIOが配置される。上記4個に分割されたメモリアレイをそれぞれメモリバンク(Bank)0～3に割り当てて、各メモリバンクにおいて1本のサブワード線と4本のYS線を選択すると、メモリバンク当たり16ビットの単位でのデータのリード/ライトを行うようにされる。

【0050】共通ソース線CSPは、メインワードドライバ、アレイ制御回路領域12に設けられた上記NチャンネルMOSFETQ15に接続され、上記16個のサブアレイに対応したセンスアンプ領域上を貫通するように延長される。上記共通ソース線CSPをオーバードライブするNチャンネル型MOSFETQ16は、前記図2を用いて説明したように、奇数番目の交差領域#1、#3～#17のみに配置する。これは偶数番目#2、#4～#16の交差領域には、IOスイッチ回路があり、配置が難しいからである。これに対して、共通ソース線CSNを駆動するNチャンネル型MOSFETQ14は、#1～#17の全ての交差領域に配置される。

【0051】図5には、この発明に係るダイナミック型

RAMにおけるセンスアンプの共通ソース線とパワースイッチMOSFETの配置関係を説明するための要部一実施例の回路図が示されている。同図は、上記図4を拡大して示したものであり、メインワードドライバ、アレイ制御回路領域12には、共通ソース線CSPに内部降圧電圧VDLを供給するNチャンネル型のパワースイッチMOSFETQ16が設けられる。そして、交差領域には、上記共通ソース線CSPにオーバードライブ電圧VDDを供給するNチャンネル型パワースイッチMOSFETQ15と、共通ソース線CSNに回路の接地電位を供給するNチャンネル型のパワースイッチMOSFETQ14が設けられる。

【0052】上記交差領域に設けられるMOSFETQ14は、前記のように17個の各交差領域に設けられるのに対して、オーバードライブ用のMOSFETQ15は、奇数番目#1、#3、#5等のサブワードドライバSWDに対応した交差領域にのみ設けられる。上記メモリアレイ制御回路には、上記オーバードライブ用のMOSFETQ15のゲートに供給させられるセンスアンプ活性化信号SAP1、上記MOSFETQ16のゲートに供給されるセンスアンプ活性化信号SAP2及び接地電位側のMOSFETQ14のゲートに供給されるセンスアンプ活性化信号SANを形成する駆動回路が設けられる。上記MOSFETQ16による電圧VDLの供給は、共通ソース線CSPのオーバードライブ後の最終電位VDLを補う程度の電流供給能力しか必要ない。したがって、上記のように16個のサブアレイに対応して長くされた共通ソース線CSPの分布抵抗が存在しても、そこでの電圧降下は問題になることはなく、センスアンプの動作には何ら支障は生じない。

【0053】上記センスアンプの共通ソース線CSPに内部降圧電圧VDLを供給するMOSFETQ16を共通化して、それを上記メモリアレイ制御回路に配置した場合には、その分オーバードライブ駆動用MOSFETQ15のゲート幅を大きくとることができる上、上記センスアンプ活性化信号SAP2を伝える配線を上記センスアンプ領域16、サブワードドライバ領域17及び交差領域18上に配置する必要がない。また、内部電圧VDLの電源供給線をセンスアンプ領域16、サブワードドライバ領域17及び交差領域18上に配置する必要がない。これにより、上記センスアンプ領域16、サブワードドライバ領域17及び交差領域18上を延長させる配線を削減できる。さらに、必要によっては、上記MOSFETQ16をメモリアレイの遠端側#17に隣接して置き、上記のようにチップ中央部と外周部から加算して駆動することも考えられる。

【0054】図6には、この発明に係るダイナミック型RAMにおけるセンスアンプの共通ソース線とパワースイッチMOSFETの関係関係を説明するための他の要部一実施例の回路図が示されている。この実施例では、

センスアンプの共通ソース線CSPに動作電圧を供給するパワースイッチ回路として、上記メモリアレイ制御回路側に、比較回路及びゲート回路とオーバードライブ用MOSFETQ16を設け、交差領域にオーバードライブ用MOSFETQ15を設けるようにする。

【0055】上記交差領域のNチャンネル型MOSFETQ15による共通ソース線CSPのオーバードライブ駆動やNチャンネル型MOSFETQ14による共通ソース線CSNの分散放電駆動は前記図5の実施例と同様である。上記メモリアレイ制御回路は、面積的に余裕があることを利用して、共通ソース線CSNの放電用のMOSFETQ14のゲートに供給されるタイミング信号SANを流用してゲート回路G1に供給し、電圧比較回路VCと上記ゲート回路Gとで上記MOSFETQ16を制御して、共通ソース線CSPの電位をモニターして上記MOSFETQ16のオン期間を制御する。

【0056】つまり、電圧比較回路VCにより上記共通ソース線CSPと内部降圧電圧VDLを比較し、共通ソース線CSPの電位 $SAD1 < VDL$ のときには、出力信号をハイレベル（論理1）としてゲート回路G1のゲートを開いて上記タイミング信号SANをMOSFETQ16のゲートに伝えてオーバードライブ動作を行うようにする。上記MOSFETQ16のオン動作によって、共通ソース線CSPの電位がVDLに到達すると、電圧比較回路VCの出力信号がロウレベル（論理0）となって、上記ゲート回路Gのゲートを閉じてタイミング信号SANのハイレベルに無関係にロウレベルにして、上記MOSFETQ16をオフ状態にさせる。これにより、上記共通ソース線CSPの電位が必要以上に高くないようにすることができる。

【0057】このように図6の実施例では、前記図5の実施例に比べて、メモリアレイ制御回路12に設けられたMOSFETQ16も実効的にオーバードライブ動作を行うので、いっそうセンスアンプの高速化ができる上に、信号SAP2を不要にできる。さらに、内部電圧VDLは、基準電圧であるので、供給すべき電流負担も軽減できるものとなる。

【0058】図7には、図5に示したダイナミック型RAMの動作の一例を説明するためのタイミング図が示されている。／RAS（ロウレベルアドレスストロブ）のロウレベルによりロウ系のメモリアクセスが開始され、ロウアドレス系の選択タイミング信号RACが発生され、メインワード線、サブワード選択線により前記1つのワード線SWLが選択される。上記信号RACを適当な遅延回路により遅延させて、センスアンプ活性化信号SAP1、SAP2等が形成される。

【0059】上記センスアンプ活性化信号SAP1のハイレベルにされるオーバードライブ時間だけ共通ソース線CSPの電位が内部電圧VDL以上に高くされ、ビット線BL又は／BLのハイレベルへの立ち上がりを高

速にする。上記オーバードライブ期間が経過すると、センスアンプ活性化信号SAP1がロウレベルとなって上記オーバードライブ用のMOSFETQ15をオフ状態とし、代わってセンスアンプ活性化信号SAP2がハイレベルとなって上記MOSFETQ16をオン状態として共通ソース線CSPにVDLを供給する。これにより、センスアンプを通してビット線BL又は/BLのハイレベルがVDLに維持される。

【0060】図示しないが上記センスアンプ活性化信号SAP1に同期して、SANもハイレベルに立ち上がり、前記MOSFETQ14がオン状態にされ、共通ソース線CSNの電位をロウレベルに引き抜く。上記センスアンプの増幅動作の後に、上記Y選択信号YSが立ち上がり、読み出し又は書き込み動作が実施される。

【0061】上記の実施例から得られる作用効果は、下記の通りである。複数のワード線、複数の相補ビット線対及びこれらの交点に設けられた複数の上記ダイナミック型メモリセルによりサブアレイが構成されてワード線方向に複数の配列されてなるダイナミック型RAMにおいて、上記サブアレイの各ビット線対に対応する各センスアンプを構成する複数のCMOSラッチ回路に接続される第1と第2の共通ソース線があり、上記第1の共通ソース線を過渡期的に高い電圧にオーバードライブする第1のパワースイッチMOSFET、上記第1の共通ソース線をビット線ハイレベルVDLに充電する第2のパワースイッチMOSFET、上記第2の共通ソース線をビット線のロウレベルVSSに放電する第3のパワースイッチMOSFETの3種のMOSFETのうち、第1と第3は交差領域に分散して配置し、第3はメモリアレイ外の片方又は両方に集中して配置する。

【0062】(1)上記により、交差領域における第1と第3のMOSFETの寸法を大きくとることができ、実質的にセンスアンプの増幅動作を高速化できるという効果が得られる。

【0063】(2)上記により、交差領域、センスアンプ領域及びサブワードドライバ領域を通過する信号線や電源線を削減し、これらを低面積化できるという効果が得られる。

【0064】(3)メモリアレイ外に比較器付きのオーバードライブ回路を用いることにより、オーバードライブ動作のための制御信号を減らし、タイミング条件を緩和できるという効果が得られる。

【0065】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記図1に示したダイナミック型RAMにおいてメモリアレイ、サブアレイ及びサブワードドライバの構成は、種々の実施形態を採ることができるし、ダイナミック型RAMの入出力インターフェイスは、シンクロナス仕様やラ

ンバス仕様等に適合したものの等種々の実施形態を採ることができるものである。この発明に係るダイナミック型RAMは、1チップマイクロコンピュータ等のようなデジタル集積回路に内蔵されるものであってもよい。この発明は、ダイナミック型RAMに広く利用することができる。

#### 【0066】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、複数のワード線、複数の相補ビット線対及びこれらの交点に設けられた複数の上記ダイナミック型メモリセルによりサブアレイが構成されてワード線方向に複数の配列されてなるダイナミック型RAMにおいて、上記サブアレイの各ビット線対に対応する各センスアンプを構成する複数のCMOSラッチ回路に接続される第1と第2の共通ソース線があり、上記第1の共通ソース線を過渡期的に高い電圧にオーバードライブする第1のパワースイッチMOSFET、上記第1の共通ソース線をビット線ハイレベルVDLに充電する第2のパワースイッチMOSFET、上記第2の共通ソース線をビット線のロウレベルVSSに放電する第3のパワースイッチMOSFETの3種のMOSFETのうち、第1と第3は交差領域に分散して配置し、第3はメモリアレイ外の片方又は両方に集中して配置することにより、交差領域における第1と第3のMOSFETの寸法を大きくとることができ、実質的にセンスアンプの増幅動作を高速化できる。

#### 【図面の簡単な説明】

【図1】この発明が適用されるダイナミック型RAMの一実施例を示す概略レイアウト図である。

【図2】この発明に係るダイナミック型RAMにおけるサブアレイとその周辺回路の一実施例を示す概略レイアウト図である。

【図3】この発明に係るダイナミック型RAMのセンスアンプ部を中心にして、アドレス入力からデータ出力までの簡略化された一実施例を示す回路図である。

【図4】この発明に係るダイナミック型RAMのセンスアンプに動作電圧を与える共通ソース線と、データの入出力を行う入出力線の構成図である。

【図5】この発明に係るダイナミック型RAMにおけるセンスアンプの共通ソース線とパワースイッチMOSFETの配置関係を説明するための要部一実施例を示す回路図である。

【図6】この発明に係るダイナミック型RAMにおけるセンスアンプの共通ソース線とパワースイッチMOSFETの配置関係を説明するための他の要部一実施例を示す回路図である。

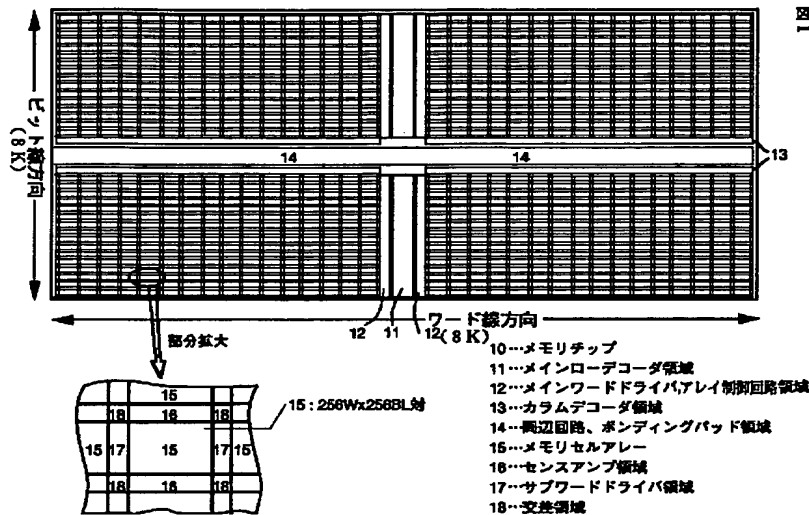
【図7】図5に示したダイナミック型RAMの動作の一例を説明するためのタイミング図である。

#### 【符号の説明】

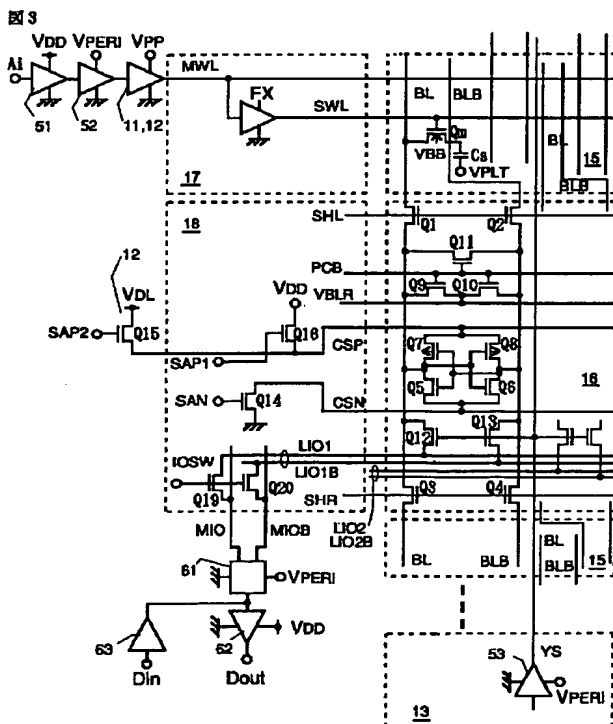
10…メモリチップ、11…メインロウデコーダ領域、  
12…メインワードドライバ領域、13…カラムデコーダ領域、14…周辺回路、ボンディングパッド領域、15…メモリセルアレイ（サブアレイ）、16…センスアンプ領域、17…サブワードドライバ領域、18…交差

領域（クロスエリア）、51…アドレスバッファ、52…プリデコーダ、53…デコーダ、61…メインアンプ、62…出力バッファ、63…入力バッファ、SBA RY…サブアレイ、SWD…サブワードドライバ、SA…センスアンプ、Q1～Q20…MOSFET。

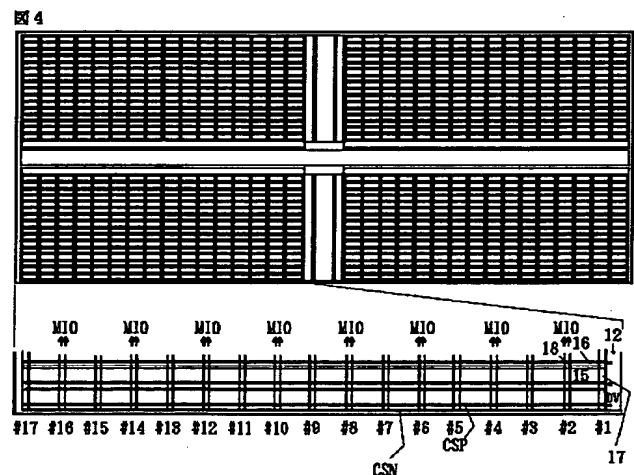
【図1】



【図3】

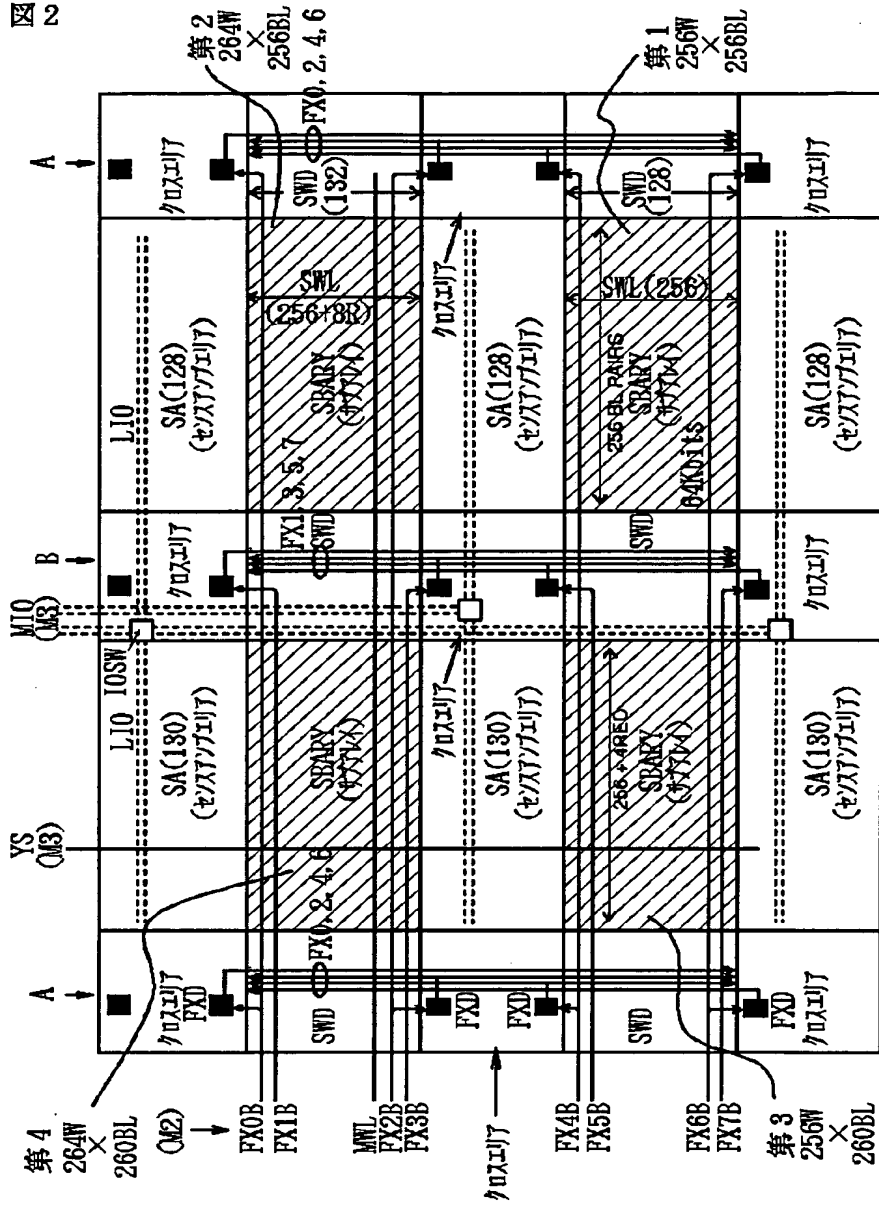


【図4】



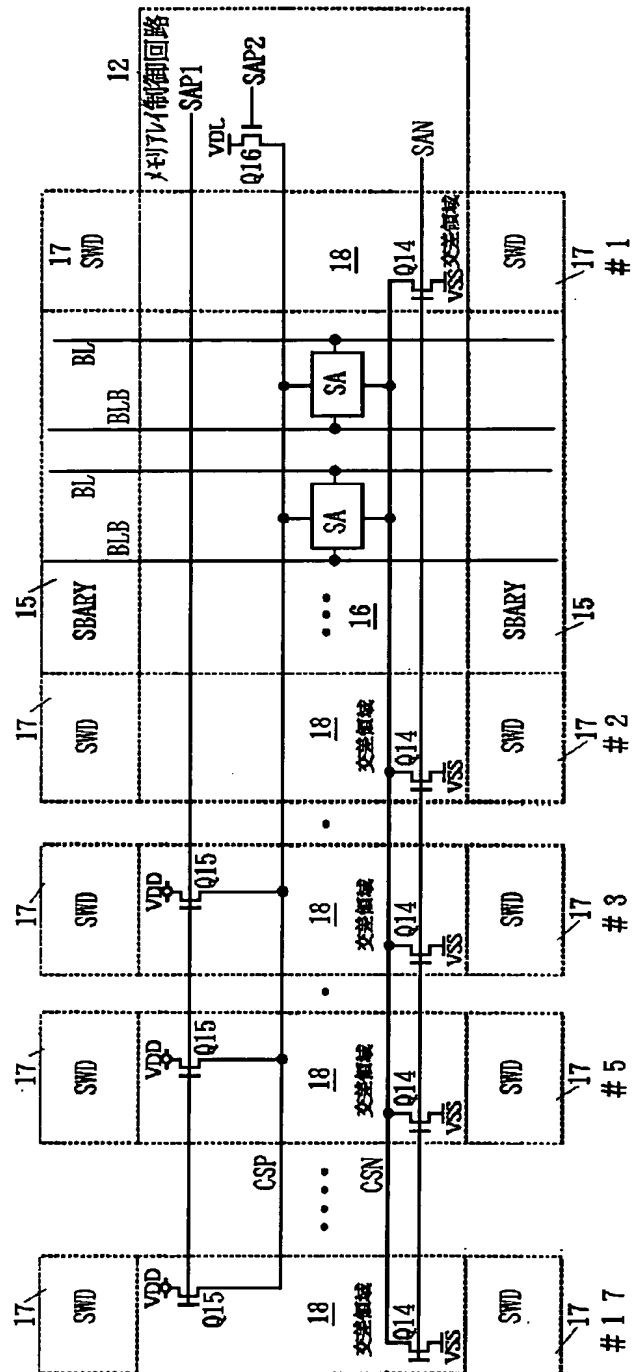
【図2】

図2



【図5】

図5



【図6】

図6

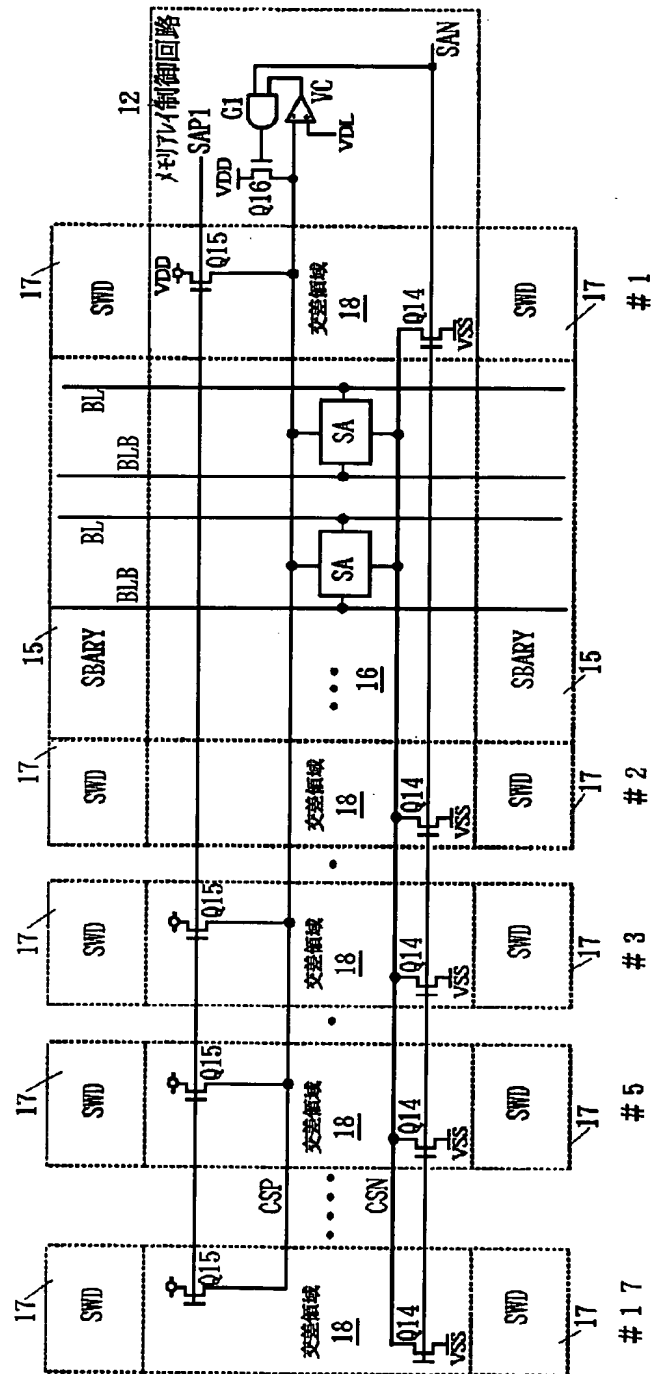




Figure 7 is a timing diagram showing the relationship between the RAS signal and other signals. The RAS signal is shown as a pulse. The SAP1 and SAP2 signals are shown as horizontal lines. The BL- /BL (V<sub>DL</sub>/2) signal is shown as a horizontal line. The CSN signal is shown as a pulse. The YB signal is shown as a pulse. The STL (V<sub>PP</sub>) signal is shown as a pulse. The V<sub>th</sub> and V<sub>DL</sub> levels are indicated. The diagram also shows the overlap time (オーバーラップ時間) between the RAS signal and the CSN signal.

(72) 発明者 橘川 五郎  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内

Fターム(参考) 5B024 AA07 AA15 BA09 CA16 CA21  
5F083 AD00 KA03 LA03 LA05 LA10  
LA12 LA16 LA20 LA29 LA30

**THIS PAGE BLANK (USPTO)**